

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-113595

(43) Date of publication of application : 22.04.1994

(51) Int.CI.

H02P 8/00

H02P 8/00

B41J 19/18

B41J 29/38

(21) Application number : 04-282184

(71) Applicant : CASIO COMPUT CO LTD

(22) Date of filing : 29.09.1992

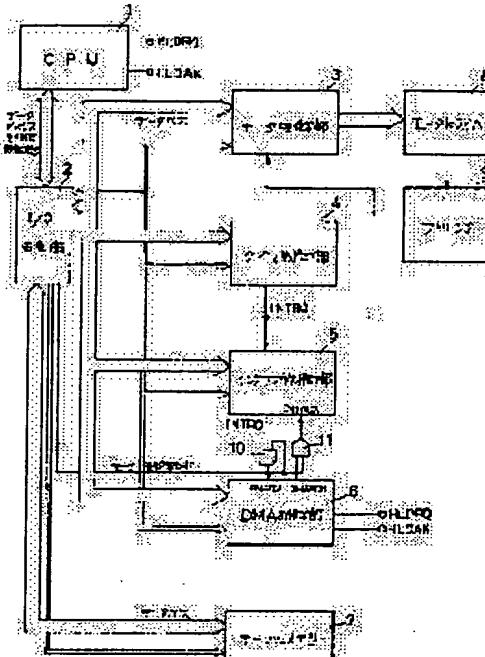
(72) Inventor : TAMURA YUJI

(54) MOTOR CONTROLLER

(57) Abstract:

PURPOSE: To allow r.p.m. control of motor by simply providing a simple circuit additionally.

CONSTITUTION: A table memory 7 stores a plurality of time data for controlling r.p.m. of motor gradually. A timer control section 4 is set with time data read out from the table memory 7 and produces a time up signal upon elapse of a set time after start of time measuring operation. Every time when the time up signal is provided, a DMA control section 6 reads out time data from the table memory 7 and sets the time data in the timer control section 4. Every time when the time up signal is provided, a motor control section 3 alters pulse interval of motor drive waveform thus controlling r.p.m. of the motor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-113595

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 02 P 8/00	3 0 4 A	9063-5H		
	J	9063-5H		
B 41 J 19/18	F	9212-2C		
29/38	Z	9113-2C		

審査請求 未請求 請求項の数 1(全 11 頁)

(21)出願番号 特願平4-282184

(22)出願日 平成4年(1992)9月29日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 田村 裕治

東京都羽村市栄町3丁目2番1号 カシオ
計算機株式会社羽村技術センター内

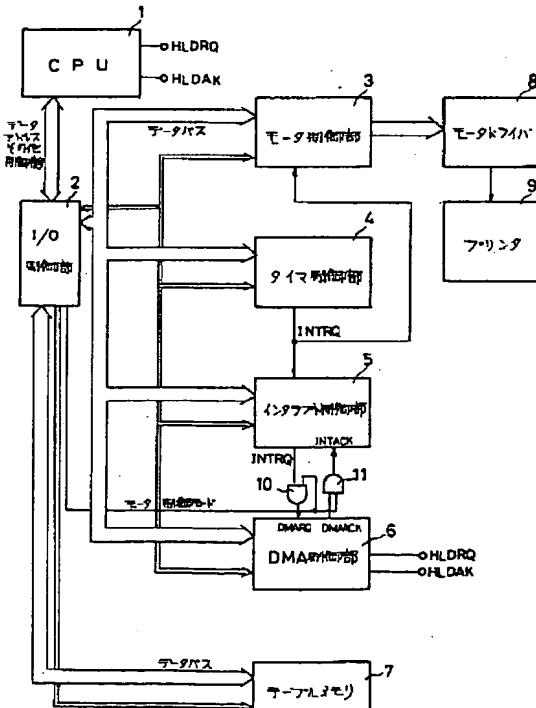
(74)代理人 弁理士 杉村 次郎

(54)【発明の名称】 モータ制御装置

(57)【要約】

【目的】 簡単な回路を追加するだけでモータの回転数を制御する。

【構成】 テープルメモリ7はモータの回転数を徐々に制御する為の複数の時間データを記憶する。タイマ制御部4はテーブルメモリ7から読み出された時間データが設定されるもので、時間計測動作に伴って設定時間経過後にタイムアップ信号を出力する。DMA制御部6はこのタイムアップ信号が入力される毎にテーブルメモリ7から時間データを読み出してタイマ制御部4に設定する。モータ制御部3はタイムアップ信号が入力される毎にモータ駆動波形のパルス間隔を変化させることによりモータの回転数を制御する。



【特許請求の範囲】

【請求項1】モータの回転数を徐々に制御する為の複数の時間データを記憶するメモリと、このメモリから読み出された時間データが設定され、時間計測動作に伴って設定時間の経過が検出された際に、タイムアップ信号を出力するタイマ回路と、このタイマ回路からタイムアップ信号が出力される毎に、前記メモリから時間データを順次読み出して前記タイマ回路に直接転送し、この時間データを前記メモリにロードさせるダイレクトメモリアクセス制御回路と、前記タイマ回路からタイムアップ信号が入力される毎に、モータ駆動波形信号のパルス間隔を変化させることによりモータの回転数を制御するモータ制御回路と、を具備したことを特徴とするモータ制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はプリンタモータの回転数を制御するモータ制御装置に関する。

【0002】

【従来の技術】従来、ワードプロセッサにおけるプリンタのモータ制御はキャリッジ制御、フィード制御およびヘッダの履歴・位置・アップダウン制御等があり、これらのモータ制御はソフトウェア方式あるいはハードウェア方式にしたがって行うようにしていた。即ち、CPUによるプログラム制御で行うか、専用のプリンタコントローラを用いて行うようにしていた。

【0003】

【発明が解決しようとする課題】しかしながら、ソフトウェア方式にあっては各種多様のモータ制御を全てプログラム制御で行うと処理が煩雑となり、処理時間も長くなる等の問題があり、またハードウェア方式にあっては高価な専用コントローラを必要とし、コストアップの原因となる等の問題があった。この発明の課題は、簡単な回路を追加するだけでモータの回転数を制御できるようにすることである。

【0004】

【課題を解決するための手段】この発明の手段は次の通りである。メモリはモータの回転数を徐々に制御する為の複数の時間データを記憶するもので、例えば、キャリッジ始動用のテーブルメモリ、キャリッジ停止用のテーブルメモリ、フィード開始用のテーブルメモリ、フィード停止用のテーブルメモリ等から成る。タイマ回路はこのメモリから読み出された時間データが設定され、時間計測動作に伴って設定時間の経過が検出された際に、タイムアップ信号を出力する。ダイレクトメモリアクセス制御回路はこのタイマ回路からタイムアップ信号が出力される毎に、前記メモリから時間データを順次読み出して前記タイマ回路に直接転送し、この時間データを前記メモリにロードさせる。モータ制御回路は前記タイマ回路からタイムアップ信号が入力される毎に、モータ駆動

波形信号のパルス間隔を変化させることによりモータの回転数を制御する。

【0005】

【作用】この発明の手段の作用は次の通りである。いま、タイマ回路にメモリから読み出された時間データが設定されている状態において、このタイマ回路の時間計測動作に伴ってタイマ回路からタイムアップ信号が入力されると、モータ制御回路はこのタイムアップ信号に基づいてモータ駆動波形信号のパルス間隔を変化させ、また、ダイレクトメモリアクセス制御回路はメモリから時間データを読み出してタイマ回路に直接転送し、この時間データをメモリにロードさせる。このような動作はタイマ回路からタイムアップ信号が出力される毎に実行される結果、モータの回転数はメモリ内に設定されている複数の時間データに基づいて徐々に高くなったり、低くなるようにモータのスピードが制御される。したがって、簡単な回路を追加するだけでモータの回転数を制御することができる。

【0006】

【実施例】以下、図1～図11を参照して一実施例を説明する。図1はワードプロセッサにおけるモータ制御装置のブロック構成図である。CPU1は各種プログラムにしたがってこのワードプロセッサの全体動作を制御するもので、データ、アドレス、リードライトその他の制御信号をI/O(インプット/アウトプット)制御部2に与える。I/O制御部2はアドレスデータのラッチ・デコード、データのラッチなどを用いてと共に、各種入出力デバイスの選択等を行うもので、I/O制御部2にはデータバス等を介してモータ制御部3、タイマ制御部30、インタラプト制御部5、DMA(ダイレクトメモリアクセス)制御部6、テーブルメモリ7がそれぞれ接続されている。ここで、CPU1から駆動対象のモータを選択するモータ選択信号やモータの回転方向を指定する指定方向が送られて来ると、I/O制御部2はこのモータ選択信号や指定信号をモータ制御部3に送る。

【0007】モータ制御部3はモータドライバ8を介してプリンタ9の動作を制御するもので、タイマ制御部4からタイムアップ信号(インタラプトリクエスト信号INTREQ)が入力される毎にモータ駆動波形信号のパルス間隔を変化させるモータの回転数を制御する。

【0008】タイマ制御部4はカード付きのダウンカウンタを有する構成で、このダウンカウンタにはCPU1あるいはテーブルメモリ7からデータバイを介して入力される数値データ(時間データ)が設定されると共に、時間計測動作に伴ってこの設定時間が経過すると、タイムアップ信号をインタラプトリクエスト信号INTREQとして出力し、モータ制御部3およびインタラプト制御部5に与える。

【0009】インタラプト制御部5は各種の入出力デバイスから発生されたインタラプト要求を優先順位を付け

て管理するもので、タイマ制御部4からのインタラプトリクエスト信号INT R Qをアンドゲート10を介してDMA制御部6に与え、またインタラプト制御部5にはDMA制御部6からアンドゲート11を介してインタラプトアクノリッヂ信号INT A Kが入力されている。ここで、アンドゲート10、11はI/O制御部2から出力されるモータ制御モード信号にしたがって開成される。

【0010】DMA制御部6はCPU1を介さずにテーブルメモリ7の内容を直接、タイマ制御部4に転送するもので、CPU1からDMA開始アドレス（テーブルメモリ7の先頭アドレス）および転送バイト数が初期設定されると共に、この状態において、インタラプト制御部5からアンドゲート10を介してインタラプトリクエスト信号INT R Qが入力される毎にテーブルメモリ7の先頭から時間データを読み出してタイマ制御部4にロードする。なお、DMA制御部6はCPU1との間でバスの開放を要求する開放要求信号HLD R Q、バス許可通知信号HLD A Kの授受を行う。

【0011】テーブルメモリ7はモータの回転数を徐々に制御する為の複数の数値データ（時間データ）を記憶するもので、テーブルメモリ7にはモータの種類や駆動状態に応じて各種のテーブルが備えられている。例えば、キャリッジ起動テーブル、キャリッジ停止テーブル、フィード開始テーブル、フィード停止テーブル、ヘッドアップテーブル等を有し、各テーブルにはモータの回転数を徐々に上げてゆく場合や下げてゆく場合のようにモータのスピードを変化させる為の一連の数値データがテーブル毎に設定されている。

【0012】次に図2および図3を参照してモータ制御部3の回路構成を説明する。ここで、図2および図3は1つのモータに対応するモータ制御部で、特に図2はモータを反転させる反転パルスを出力する反転パルス出力部の構成を示している。先ず、反転パルス出力部はカスケード接続された2つのディレードフリップフロップ(D-F F) 3-1、3-2を有し、D-F F 3-1はモータの回転方向を変える時にCPU1からのデータD0をラッチするもので、ノアゲート3-3にはCPU1から入出力命令I/Oおよびライト命令WRが入力され、このノアゲート3-3の出力信号に同期してCPU1からのデータ（モータの回転方向を示すデータ）D0がD-F F 3-1にラッチされる。このD-F F 3-1のQ出力はタイマ制御部4からのインタラプトリクエスト信号INT R Qに同期してD-F F 3-2にラッチされ、このD-F F 3-2のQ出力はモータの回転方向を制御する反転パルスIPとして出力される。この反転パルスIPはモータの回転方向を変化させる際、一定期間、ハイレベルとなる信号で、図3に示す回路に与えられる。アンドゲート3-4はD-F F 3-1、3-2の反転Q出力に応じてインタラプト禁止信号IGを出力す

るもので、このインタラプト無効信号IGはモータの回転方向を変化させる際、一定期間ローレベルとなる信号で、この間にタイマ制御部4から出力されたインタラプトリクエスト信号INT R Qを一時的にディスエーブルとするもので、図3に示す回路に与えられる。なお、D-F F 3-2はイニシャライズ時のリセット信号RESETによってリセットされ、また、D-F F 3-1はこのリセット信号RESETとD-F F 3-2のQ出力がオアゲート3-5を介して入力されることによってリセットされる。

【0013】一方、モータ制御部3を構成するその他の回路は図3に示す如く構成されている。ここで、図3に示すモータ制御部は、3つのD-F F 3-1 1、3-1 2、3-1 3を有し、自己の反転Q出力をD入力とする為、C入力にパルスが入力される毎に、Q出力が反転されるトグル動作を行う。ここで、アンドゲート3-1 4にはインタラプトリクエスト信号INT R Q、インタラプト無効信号IG、モータイネーブル信号（モータ選択信号）MEがそれぞれ入力されており、このアンドゲート3-1 4の出力信号はD-F F 3-1 1のC入力に与えられる。このD-F F 3-1 1のQ出力はイクスクルーシブオアゲート3-1 5、またその反転Q出力はイクスクルーシブオアゲート3-1 6に与えられ、また、イクスクルーシブオアゲート3-1 5、3-1 6の出力は対応するD-F F 3-1 2、3-1 3のC入力に与えられる。

【0014】ここで、D-F F 3-1 2、3-1 3のQおよび反転Q出力はステッピングモータのA～D相の入力に相当するモータ回転用の矩形パルス信号A、B、C、Dで、D-F F 3-1 2のQ出力は矩形パルス信号A、反転Q出力は矩形パルス信号B、D-F F 3-1 3のQ出力は矩形パルス信号C、反転Q出力は矩形パルス信号Dに対応している。また、D-F F 3-1 2のQ出力およびD-F F 3-1 3の反転Q出力はイクスクルーシブオアゲート3-1 7にも入力され、またD-F F 3-1 2の反転Q出力およびD-F F 3-1 3のQ出力はイクスクルーシブオアゲート3-1 8にも入力されている。そして、このイクスクルーシブオアゲート3-1 7、イクスクルーシブオアゲート3-1 8の出力信号は、対応するアンドゲート3-1 9、3-2 0を開成させる。このアンドゲート3-1 9、3-2 0には図2の回路から出力された反転パルスIPが入力されており、この反転パルスIPを対応するイクスクルーシブオアゲート3-1 5、3-1 6に与える。なお、イクスクルーシブオアゲート3-1 7、イクスクルーシブオアゲート3-1 8およびアンドゲート3-1 9、3-2 0はモータの停止位置を検出する検出回路を構成する。なお、図2および図3で示したDMA制御部6は1つのモータについてのみ示したが、その他のモータに対応するDMA制御部6も同様の回路によって構成可能である。

【0015】次に、本実施例の動作を図4～図11を参照して説明する。図4は全体動作の概念を示したフローチャートで、ステップS1～S3はCPU1のプログラム制御によるソフトウェア方式に対応する動作を示し、ステップS4～S10はモータ制御部3、タイマ制御部4、DMA制御部6等によるハードウェア方式に対応する動作を示している。まず、CPU1はI/O制御部2を介してどのモータを駆動させるのかを選択するモータ選択信号およびそのモータをどの方向に回転させるのかを指定する回転方向指定信号を出力し、モータ制御部3にセットする(ステップS1)。次に、CPU1はI/O制御部2を介してテーブルメモリ7の先頭アドレスおよびDMA転送バイト数をDMA制御部6にセットする(ステップS2)。これによってDMA制御部6は動作可能状態となり、タイマ制御部4からインタラプト制御部5を介して入力されるインタラプトリクエスト信号INTRQの入力待ち状態となる。この場合、CPU1はモータの種類やモータの駆動状態に応じてテーブルメモリ7内に格納されている各種テーブルのうち、対応するテーブルを指定する為のテーブル指定信号をI/O制御部2を介してDMA制御部6に与える。次に、CPU1は初回だけI/O制御部2を介してタイマ制御部4に初期データ(時間データ)を設定する(ステップS3)。

【0016】これによってタイマ制御部4は時間計測動作を開始し(ステップS4)、設定時間経過後にタイマ信号をインタラプトリクエスト信号INTRQとして発生出力と共に時間計測動作を停止する(ステップS5)。このインタラプトリクエスト信号INTRQはモータ制御部3に与えられると共に(ステップS6)、インタラプト制御部5を介してDMA制御部6に与えられる(ステップS7)。これによってDMA制御部6は通常と同様のDMA転送を開始するが、その際、DMA制御部6はテーブルメモリ7内の指定テーブルの内容をその先頭から1バイトずつ読み出してタイマ制御部4に転送する毎にマイナス「1」ずつされる転送バイト数が「0」か否かをチェックする(ステップS8)。最初、転送バイト数は「0」でないので、DMA制御部6はテーブルメモリ7内の指定テーブルをアクセスし、その先頭から時間データを読み出してタイマ制御部4にロードする(ステップS9)。この結果、DMA制御部6は転送バイト数をマイナス「1」すると共に、アドレスに「1」を加算して次アドレスの指定を行う(ステップS10)。

【0017】その後、ステップS4に戻り、タイマ制御部4の時間計測動作が再び開始され、DMA制御部6はインタラプトリクエスト信号INTRQの入力待ち状態となる。ここで、タイマ制御部4の設定時間が経過し、タイマ制御部4からインタラプトリクエスト信号INTRQが出力されると、DMA制御部6は再びDMA転送を行い、テーブルメモリ7から時間データを読み出して

タイマ制御部4に設定する。以下、同様の動作は転送バイト数が「0」となるまで、つまり、テーブルメモリ7から指定テーブルの内容を全て読み出してタイマ制御部4にロードし終るまで繰り返される。このようにタイマ制御部4から発生出力されるインタラプトリクエスト信号INTRQは、指定テーブル内に順次格納されている複数の時間データの時間間隔に依存している為、モータ制御部3から出力されるモータ回転用の矩形パルスA、B、C、Dはこの時間間隔によってそのパルス幅が決定され、これが広いとモータの回転は低速となり、狭いと高速となる。

【0018】以下、モータ制御部3の動作を詳細に説明する。先ず、モータ制御部3を構成する反転パルス出力部(図2参照)において、D-FF3-1、3-2がそれぞれリセットされ、D-FF3-2のQ出力(反転パルス)IPがローレベル、アンドゲート3-4の出力(インタラプトリクエスト信号INTRQ)IGがハイレベルとなっている状態で、タイマ制御部4からインタラプトリクエスト信号INTRQが出力されると、D-FF3-11はインタラプトリクエスト信号INTRQが入力される毎にその出力状態が反転される為、D-FF3-11のQ出力はインタラプトリクエスト信号INTRQが入力されてから次のインタラプトリクエスト信号INTRQが入力されるまでの間、ハイレベルとなるパルス信号となる。この場合、反転パルスIPはローレベル、したがってアンドゲート3-19、3-20の出力はローレベルに固定されている為、インスクリーシブオアゲート3-15、3-16の出力はD-FF3-11のQ出力あるいは反転Q出力に相当し、対応するD-FF3-12、3-13の出力状態を反転させる。この結果、D-FF3-12、3-13のQおよび反転Q出力、つまり、モータ回転用の矩形パルスA、B、C、Dは図5(正転の場合)に示す如くとなり、矩形パルスA、Bは他の矩形パルスC、Dに比べて90°位相が進んだものとなる。他方、図6はモータを反転させる場合の矩形パルスA、B、C、Dを示し、矩形パルスA、Bは他の矩形パルスC、Dに比べて90°位相が遅れたものとなる。なお、図5、図6は説明を簡単にする為にモータのスピードを一定にする場合を示したが、モータの回転を徐々に高めたり、下げる場合にはインタラプトリクエスト信号INTRQが出力される時間間隔が変化する為、それに応じて矩形パルスA、B、C、Dのパルス幅が変化するようになる。

【0019】いま、モータが停止すると、それ以降はインタラプトリクエスト信号INTRQが出力されない為、D-FF3-12、3-13には停止時の出力状態が保持されることになる。ここで、モータの回転方向を変化させるものとすると、CPU1はモータの回転方向をセットし直す為に、論理値“1”的データD0と共にライト命令WR等を出力する。すると、図7に示す如

く、D-F F 3-1のQ出力はハイレベルとなる。ここで、CPU1によって強制的にインタラプトリクエスト信号INT R Qを出力させると、D-F F 3-2の出力状態が反転されてそのQ出力がハイレベルとなると共にその反転Q出力によってD-F F 3-1がリセットされ、そのQ出力がローレベルとなる。その後、再びインタラプトリクエスト信号INT R Qが入力されると、D-F F 3-2のQ出力もローレベルとなる。この結果、図7に示す様な反転パルスIPおよびインタラプト無効信号IGが出力されることになる。

【0020】このようにモータの回転方向をセットすると、その後、一定期間、ハイレベルとなる反転パルスIPが出力されると共に、一定期間、ローレベルとなるインタラプト無効信号IGが出力される。この結果、アンドゲート3-14が閉成される為、D-F F 3-1-1の出力はインタラプトリクエスト信号INT R Qによっては変化しないようになる。この場合、反転パルスIPがハイレベルのパルス信号となるので、前回のモータの回転方向とモータ停止時における矩形パルスA、B、C、Dの出力状態に応じてD-F F 3-12、3-13の何れか一方を反転パルスIPに同期してその出力状態を反転させる。つまり、一度モータを停止させて回転方向を変えた場合には、D-F F 3-12、3-13の何れか一方でパルスを1パルス分多く入力することにより、回転方向を変えるようにしている。例えば矩形パルスA、Bと他の矩形パルスC、Dの位相関係は、モータの停止前と比べてプラス方向に90°だったらマイナス方向に90°。というように位相がずれることになるので、停止した時の出力状態を維持しながらの反転が可能となる。

(図8参照)。なお、図8はD-F F 3-12に1パルス多く入力した場合である。ここで、D-F F 3-12、3-13のうちどこに1パルス多く入力するかは、前回どの状態で停止させたか、前回どの回転方向だったかによって決定される。なお、アンドゲート3-19、3-20の出力(反転パルスIP)は、対応するイクスクルーシブオアゲート3-15、3-16に与えられている為、モータが停止した時に、D-F F 3-11の反転Q出力がハイレベルであっても、ローレベルであってもイクスクルーシブオアゲート3-15、3-16の何れか一方から反転パルスIPが出力されて対応するD-F F 3-12、3-13の一方に入力される。

【0021】図9は現在の停止位置からモータの回転方向を正転から逆転あるいは逆転から正転させる際ににおいて、回転用矩形パルスA、B、C、Dの出力状態をモータの停止位置状態に応じて4つのパターンP-1、P-2、P-3、P-4に場合分けして示すタイムチャートで、このパターンP-1、P-2、P-3、P-4に応じてD-F F 3-12、3-13の何れか一方で1パルス多く入力される。ここで、図8に示す①、②、③、④は図10に示す矩形パルスA、B、C、Dの出力状態に

応じたタイミングを示し、タイミング①は矩形パルスA、B、C、Dが「0101」の場合、タイミング②は「1001」の場合、タイミング③は「1010」の場合、タイミング④は「0110」の場合を示している。そして、図9に付した点線は回転方向を変化させたタイミングで示している。したがってパターンP-1はタイミング④の状態でモータを停止させた場合、パターンP-2はタイミング③の状態で停止させた場合、パターンP-3はタイミング②の状態で停止させた場合、更にパターンP-4はタイミング①の状態で停止させた場合を示している。

【0022】いま、タイミング④の状態で停止した場合

(パターンP-1の場合)、矩形パルスA、Dがローレベル、矩形パルスB、Cがハイレベルとなるので、図11に示す如く、イクスクルーシブオアゲート3-17の出力はハイレベル、イクスクルーシブオアゲート3-18の出力はローレベルとなり、アンドゲート3-19が閉成される為、反転パルスIPはD-F F 3-12に入力される。また、タイミング③の状態で停止した場合

(パターンP-2の場合)、矩形パルスA、Cがハイレベル、矩形パルスB、Dがローレベルとなるので、図11に示す如く、イクスクルーシブオアゲート3-17の出力はローレベル、イクスクルーシブオアゲート3-18の出力はハイレベルとなる為、反転パルスIPはアンドゲート3-20、イクスクルーシブオアゲート3-116を介してD-F F 3-13に入力される。同様に、パターンP-3の場合にはD-F F 3-12、パターンP-4の場合にはD-F F 3-13に反転パルスIPが入力されることになる。なお、回転方向を逆転から正転に変化させる場合も上述と同様であるので、その説明は省略する。

【0023】以上の様に本実施例においては、タイマ制御部4、DMA制御部6を設け、モータの回転数を制御するテーブルメモリ7の内容を順次タイマ制御部4にロードし、タイマ制御部4のタイムアップ信号に基づいてモータ駆動波形のパルス幅を変化させてモータの回転数を制御するようにしたからCPU1によるプログラム制御をハードウェアに置き換えることが可能となる。ここで、本実施例においては通常のワードプログラマに備えられているタイマ制御部4、DMA制御部6、インタラプト制御部5をモータ制御用としても兼用するようにしている為、回路構成が簡素化され、コスト的にも極めて有利なものとなる。

【0024】なお、テーブルメモリ7にはモータの回転数を徐々に上げたり、徐々に下げるような時間間隔を持ったデータをテーブル毎に複数記憶させておく為、モータを一定スピードで回転させる場合には、通常と同様にCPU1によって制御するようにしてもよいがこれを本実施例の回路を用いて行うようにしてもよい。この場合には転送バイト数が「0」になったら最終アドレスの内

容を以降転送し続ければよいが、その際、転送バイト数が「0」になつたらテーブルメモリ7に対するアドレス更新をストップする回路を用意する必要がある。

【0025】

【発明の効果】この発明によれば、簡単な回路を追加するだけでモータの回転数を制御することができるので、CPUの負担を大幅に削減する事が可能となると共に高価な専用コントローラ等も不要となり、コスト的にも極めて有利なものとなる。

【図面の簡単な説明】

【図1】モータ制御装置の全体構成を示したブロック図。

【図2】モータ制御部3の一部を構成する反転パルス出力部を示した回路構成図。

【図3】モータ制御部3を構成する他の部分を示した回路構成図。

【図4】モータ制御装置の全体構成の概要を示したフローチャート。

【図5】モータを正転させる場合において、モータ制御部3から出力されるモータ回転用矩形パルスA、B、C、Dを示したタイムチャート。

【図6】モータを逆転させる場合において、モータ制御部3から出力されるモータ回転用矩形パルスA、B、C、Dを示したタイムチャート。

【図7】モータ制御部3を構成する反転パルス出力部の動作を示したタイムチャート。

【図8】モータ制御部3を構成する他の部分(図3で示した部分)の動作を示したタイムチャート。

【図9】現在の停止位置からモータの回転方向を変化させる場合において、回転用矩形パルスA、B、C、Dの出力状態をモータの停止位置に応じて4つのパターンに場合分けして示したタイムチャート。

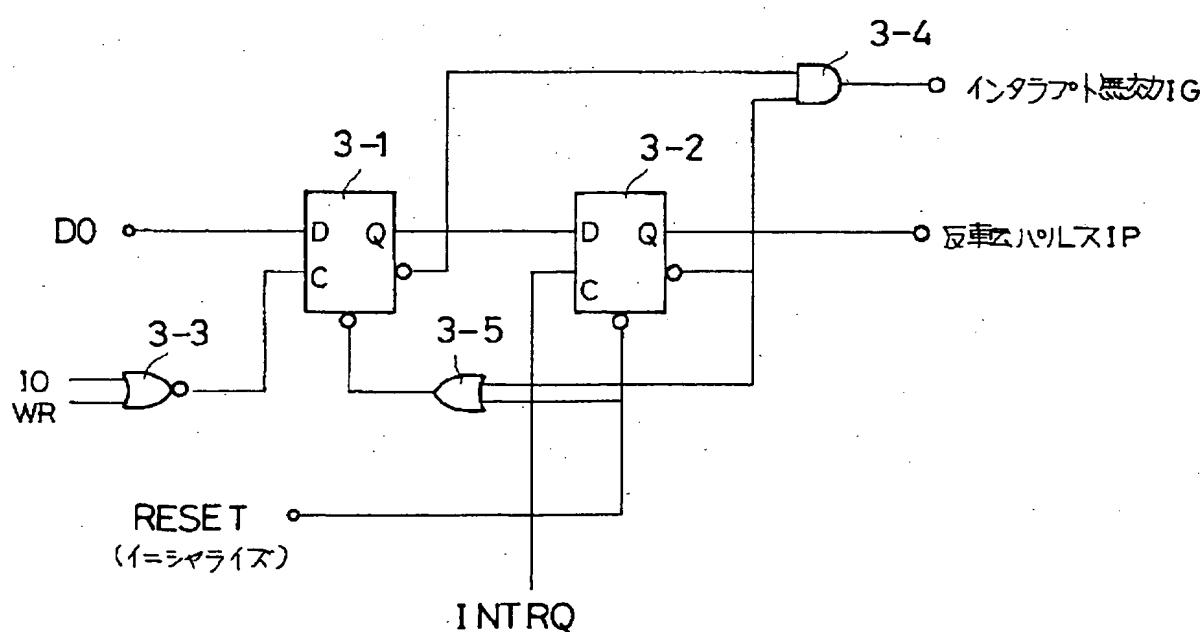
【図10】モータ回転用矩形パルスA、B、C、Dの出力状態をタイミング①、②、③、④別に示した図。

【図11】タイミング①、②、③、④に対応するインスクリーシブノアゲート3-17、インスクリーシブオアゲート3-18の出力状態を示すと共に、このインスクリーシブノアゲート3-17、インスクリーシブオアゲート3-18の出力に応じて反転パルスIPが択一的に入力されるD-F-F3-12あるいは3-13を示した図。

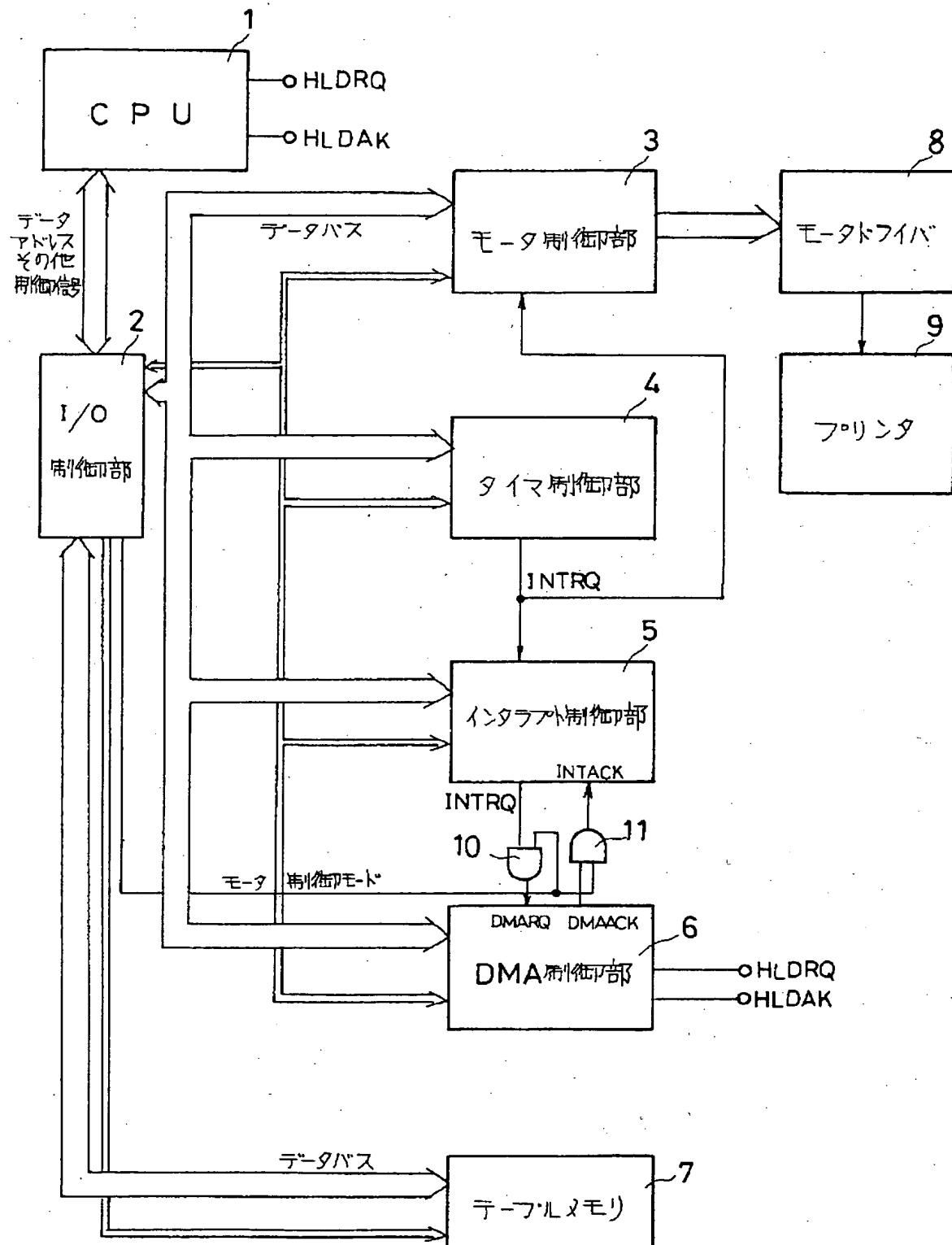
【符号の説明】

1	CPU
2	I/O制御部
3	モータ制御部
4	タイマ制御部
5	インタラプト制御部
6	DMA制御部
7	テーブルメモリ
8	モータドライバ
9	プリンタ

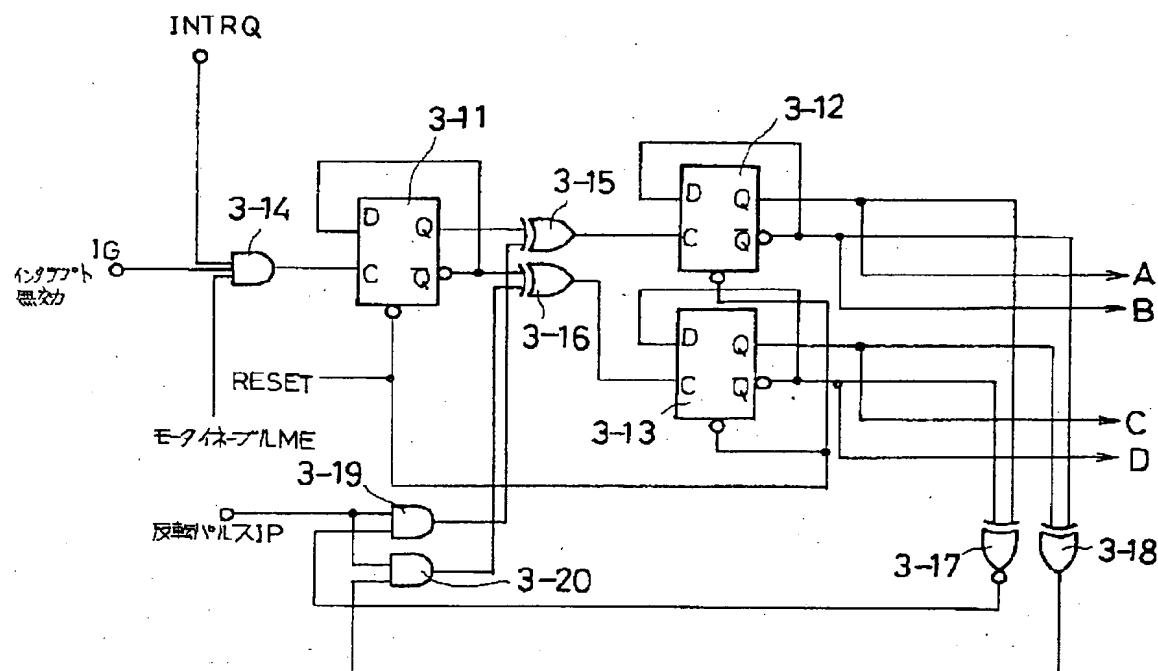
【図2】



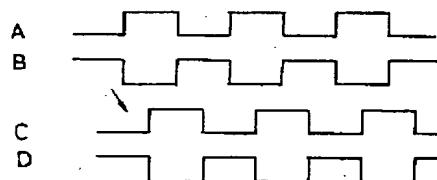
【図1】



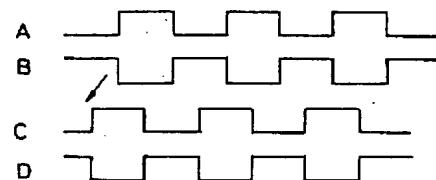
【図3】



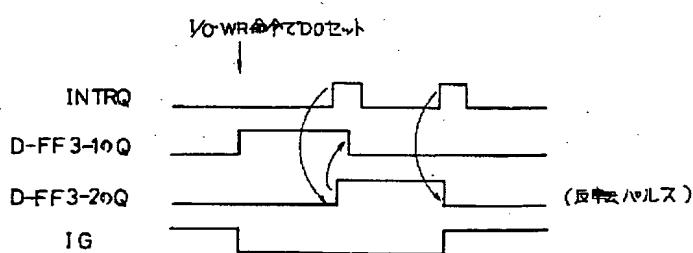
【図5】



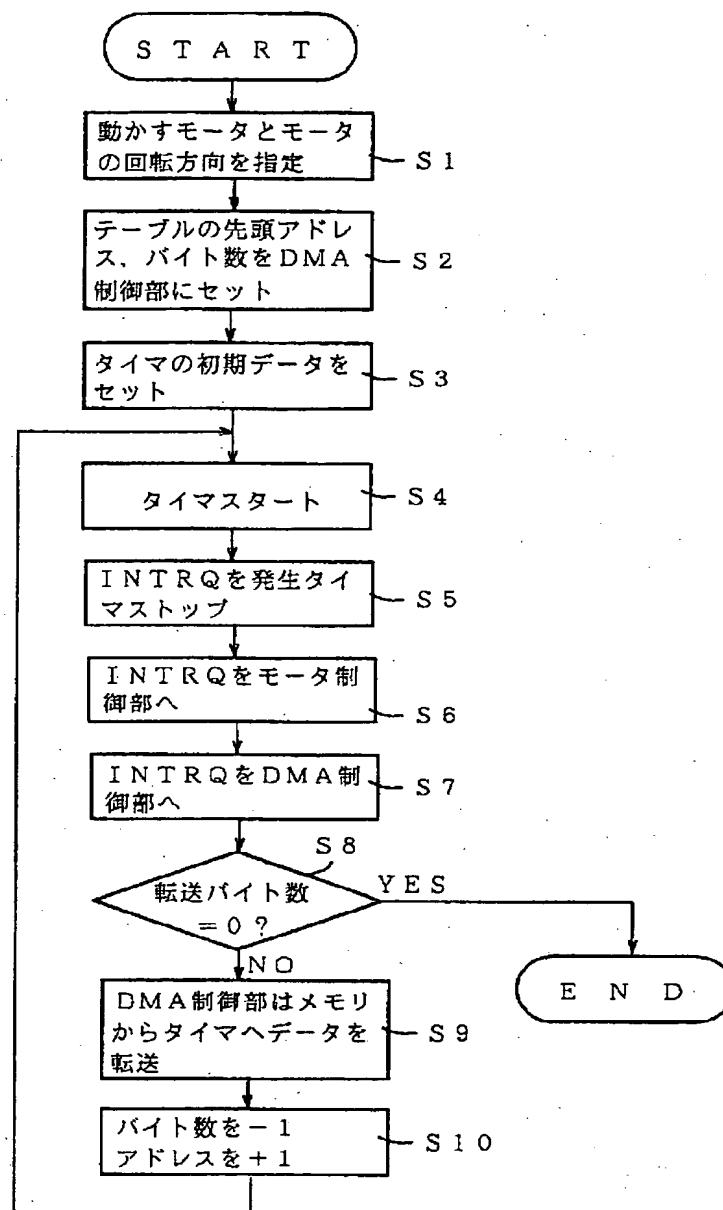
【図6】



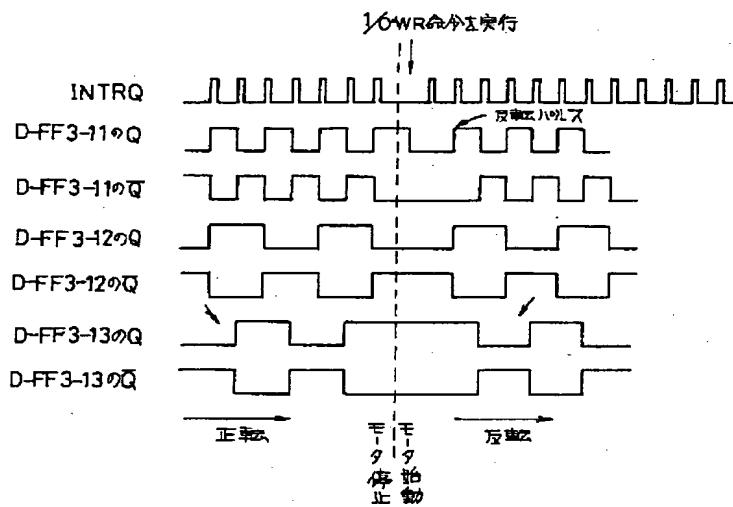
【図7】



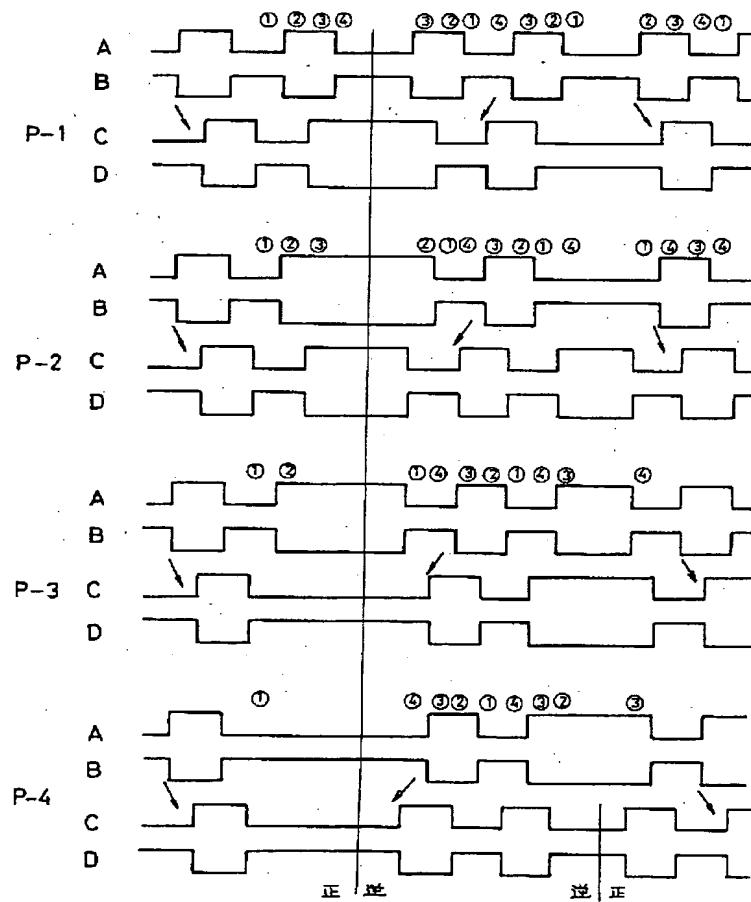
【図4】



【図8】



【図9】



【図10】

タイミング	A	B	C	D
①	0	1	0	1
②	1	0	0	1
③	1	0	1	0
④	0	1	1	0

【図11】

タイミング	イクスクルーシブ ノアゲート3-17	イクスクルーシブ オアゲート3-18	反転パルスが1パルス 多く入力されるD-FF
④	1	0	D-FF3-12
③	0	1	D-FF3-13
②	1	0	D-FF3-12
①	0	1	D-FF3-13